

CMOS/BESOI器件的电离辐照特性

CMOS, BESOI, 电离辐照,

微电子器件

严荣良 高剑侠^v 任迪远 李金华* 林成鲁** 竺士扬**

(中科院新疆物理所) 乌鲁木齐830011

*(江苏石油化工学院) 常州213016

**(中科院上海冶金所) 上海200050

9/6(1)
1-3, 13

TN389

摘要: 采用亚阈 I-V 技术, 分析了 CMOS/BESOI 器件在 ^{60}Co - γ 辐照场中的电参数退化行为和机制。结果表明, 器件经辐照后产生了较严重的损伤。

一、引言

SOI 技术是当今微电子学领域内的一项前沿性工作, 它在微电子器件抗辐射加固方面有着广阔的前景。其中, 键合、减薄 BESOI 技术由于能获得性能优良的 SiO_2 绝缘埋层, 因此, 是引人注目的 SOI 材料。预期制作的 CMOS/SOI 器件能有效地抑制单粒子的翻转效应及高剂量率瞬时辐照产生的衬底光电流。因而可设计高速、无闭锁效应、抗辐射性能优良的军用微电路或三维电路。然而 BESOI 技术的减薄工艺难度较大, 而且, 若没有特殊的抗电离辐射加固技术, SOI 器件对总剂量辐照的敏感性比体硅器件还显得突出。电离辐照特性与 SOI 器件的工艺、结构关系极为密切, 因此, 研究电离辐射对这类 SOI 器件损伤和退化影响规律, 以发展抗辐射加固的 CMOS/SOI 电路具有重要的意义^[1-6]。

本文报道了非全耗尽型 CMOS/BESOI 器件 ^{60}Co 辐照感生陷阱电荷积累和阈电压、静态漏电流特性退化与总剂量的关系, 并对结果进行了讨论。

二、实验

制造器件的 BESOI 材料, 其表层硅厚度约 $6\mu\text{m}$, 埋层 SiO_2 厚度约 $0.6\mu\text{m}$, 实验器件制成封闭栅 CMOS 器件, 其源、漏区均未达到埋层 SiO_2 。

总剂量辐照在 ^{60}Co 源上进行, 剂量率为 $0.8-7\text{Gy}(\text{Si})/\text{sec}$ 。辐照期间, $V_{\text{DD}} = 10\text{V}$, $V_{\text{SS}} = 0\text{V}$, 栅极输入端 $V_G = 10\text{V}$ 或 $V_G = 0\text{V}$, 以使 N 沟成 P 沟器件处于导通 (on) 和截止 (off) 二种状态。每次辐照后, 均在半小时内用 HP4140B 组成的测试系统完成器件 I-V 特性电参数的测试。

三、结果与讨论

一般 CMOS/SOI 器件埋层 SiO_2 的作用在于隔断衬底辐照光电流, 限制寄生三极管的电流放大系数 β 值, 因而消除寄生的四层结构引起的闭锁效应 (latch up)。同时, 也减小了单粒子辐照敏感区的体积, 这是 SOI 材料结构的重要优点。实验的键合 SOI 材料的表层硅膜较厚, CMOS/SOI 属非全耗尽型器件, (源、漏区均未到达埋层 SiO_2), 因此, 在埋层 SiO_2 中, 电离辐射产生的氧化物电荷及埋层 SiO_2/Si 界面区的界面电荷对 SOI 器件引起的“背沟效应”没有给予器件什么影响, 这时, 可视该 CMOS/SOI 器件与体硅 CMOS 类似, 并进行讨论。

1. 辐照偏置对辐射感生陷阱电荷的影响

器件在“on”和“off”两种辐照栅偏置下,通过辐照和 I-V 亚阈技术得到辐照感生氧化物电荷 ΔN_{ot} 与栅 SiO_2/Si 界面态增量 ΔN_{it} 的结果,如图1所示。图1a代表氧化物电荷增量 ΔN_{ot} 随总剂量的变化,图中数据表明,P沟器件在“on”偏置下 ΔN_{ot} 积累明显大于“off”偏置的。这是由于“on”偏置时,P沟器件的栅介质场强为 $E = -1.9\text{MV/cm}$,故由辐照产生的电子-空穴对的电子很快离去,而留下空穴被氧化物陷阱俘获形成固定正电荷,并随辐照剂量加大而积累、增大。图1b代表界面态增量 ΔN_{it} 随总剂量的变化,从图中得知,P沟器件在“on”偏置时的 ΔN_{it} 增长小于“off”偏置的。分析认为,在“on”偏置下,辐照产生的电子被扫向衬底,而留下部分空穴被俘获在栅 SiO_2/Si 界面处。根据目前界面态生成机理,除了它与界面态前身——弱键、应力键缺陷有关外,主要与俘获在界面的空穴、 H^+ 的数量有关。在“off”偏置下, ΔN_{it} 增加明显,这可能是正向内电场作用和“辐射直接作用”的缘故,这仍有待进一步研究。

一般对于非加固P沟器件来说,在“on”辐照偏置时,由于工艺过程引入缺陷较多,栅介质的 ΔN_{ot} 积累较大;在“off”偏置时, SiO_2/Si 界面的 ΔN_{it} 增长较大^[6,7],正如图1结果所示。因此,P沟器件的最劣辐照偏置判据将由其 ΔN_{ot} 及 ΔN_{it} 的增长情况确定。

对于N沟器件,在“on”辐照偏置下,发现电离辐照累积剂量达到 $3\text{E}3\text{Gy}(\text{Si})$ 时,器件功能已失效。由图1可见,在 $0-1\text{E}3\text{Gy}(\text{Si})$ 范围内,“on”偏置的 ΔN_{ot} 增量大于“off”偏置的,而 ΔN_{it} 在“on”与“off”二种偏置下无明显差异。随着剂量增大,可以看到“off”偏置的 ΔN_{it} 仍有较大增长。

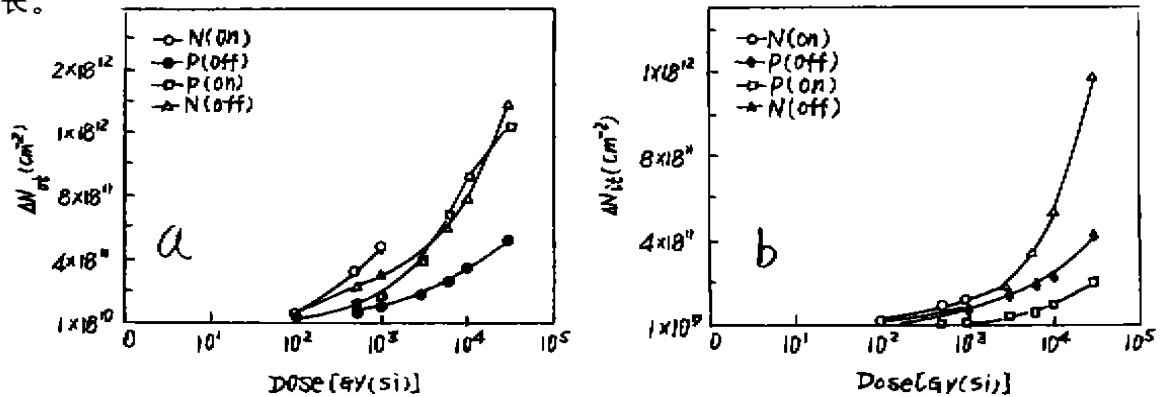


图1 CMOS/BESOI器件辐射感生陷阱电荷与总剂量的关系。

其中,图a为辐射感生氧化物电荷,图b为辐射感生界面态。辐照偏置:p(off):p沟截止;p(on):p沟导通;N(off):N沟截止;N(on):N沟导通。

2. 阈电压与静态漏电流

器件阈电压和静态漏电流的总剂量辐照响应分别如图2和图3所示。图2数据表明,N沟器件在“on”辐照偏置下,随着剂量增加,导致阈电压 V_{TN} 退化,负向漂移加大,在 $1\text{E}3\text{Gy}(\text{Si})$ 时,产生 V_{TN} 过零效应,这是辐射感生氧化物电荷在栅介质大量积累而引起反型的结果。在“off”偏置下, V_{TN} 随着剂量的增加首先是有负向漂移,但到 $3\text{E}3\text{Gy}(\text{Si})$ 以后, V_{TN} 便明显地回漂,并超过初始值。这是N沟受主型界面态迅速增长,补偿并超过氧化物电荷的结果,显然,“on”辐照偏置是引起N沟器件严重损伤的最劣偏置。

P沟器件在“on”与“off”二种辐照偏置下引起的阈电压 V_{TP} 负向漂移基本相同。但在剂量较高时,“on”偏置状态的 V_{TP} 退化作用加大。从图中可知,在 $1\text{E}4\text{Gy}(\text{Si})$ 时, $V_{TP}(\text{on}) = -4\text{V}$,损伤较大。

图3表明,N沟器件在“on”偏置下,静态漏电流 I_{DS} 随剂量增加而迅速上升,在 $1E3Gy(Si)$ 后更明显增大,这与 V_{TN} 过零有关。在“off”偏置下, I_{DS} 增加缓慢,在高剂量时略有降低这是界面态在起作用。

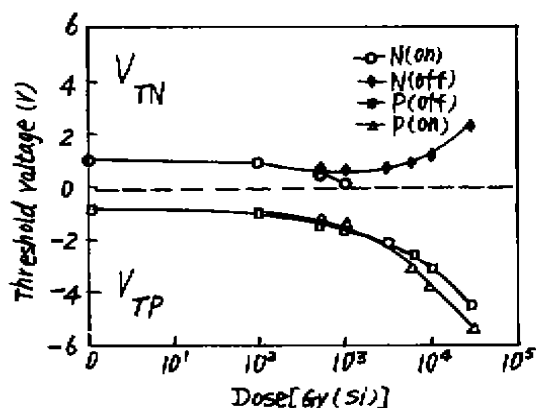


图2 CMOS/BESOI器件阈电压与总剂量的关系。
辐照偏置:p(off):p沟截止;p(on):p沟导通;N(off):N沟截止;N(on):N沟导通。

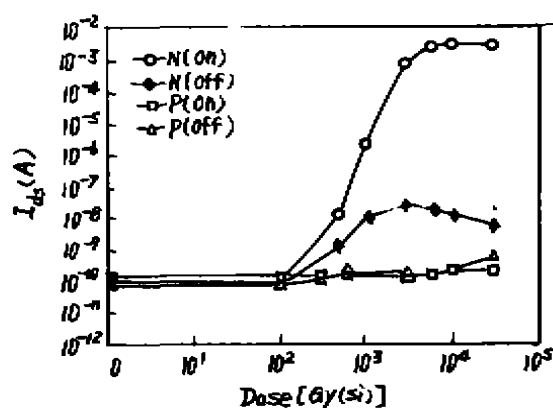


图3 CMOS/BESOI器件静态漏电流与总剂量的关系。
辐照偏置:p(off):p沟截止;p(on):p沟导通,N(off):N沟截止;N(on):N沟导通。

对于P沟器件, ΔN_{ot} 及 N_{it} 均使其顶沟道深截止,因此,随着剂量增加,其 I_{DS} 变化很小如图3结果所示。

由以上电离辐照试验得知CMOS/SOI器件在导通偏置下,由于辐照感生氧化物电荷积累较多而导致N沟器件严重损伤,造成阈电压 V_{TN} 过零效应和静态漏电流迅速增大。对于P沟器件也有较大的损伤。因此,需要进一步探讨栅介质,及埋层 SiO_2 的电离辐射加固工艺,以提高BESOI器件的抗辐射水平,满足实际应用的需要。

参考文献

- [1] James R. Schwank IEEE Trans. Nucl. Sci. Vol. NS-30, No. 6, 4100(1983)
- [2] J. T. Schott IEEE Trans. Nucl. Sci. Vol. NS-33, No. 6, 1366(1986)
- [3] S. S. Tsao IEEE Trans. Nucl. Sci. Vol. NS-34, No. 6, 1686(1987)
- [4] H. H. Hosack IEEE, NSREC IV-1(1991) SAN DIEGO, CAL, July 15, 1991
- [5] John B. McKitter IEEE Trans. Nucl. Sci. Vol. NS-39, No. 6, 2098(1992)
- [6] 严荣良 《抗核加固》, Vol. 4, No. 1, 73(1987)
- [7] M. R. Shaneyfelt IEEE Trans. Nucl. Sci. Vol. NS-39, No. 6, 2244(1992)

Ionized radiation quality of CMOS/BESOI device

Gao Jianxia, Yan Rongliang, Ren Diyuan

(Xinjiang Institute of physics, Academia Sinica, Urumqi, 830011)

Li Jinhua*, Lin Chenglu, Zhu Shiyang

(Shanghai Institute of metallurgy, Academia Sinica, Shanghai, 200050)

* (Jiangsu Petrochemical Industry College, Changzhou, 213016) (下转第13页)

5. T.Venkatesan, Thin Solid Films 216, pp.52-58(1992).
6. Laurel M.Sheppard, Ceramic Bulletin, Vol.71, No.1, pp85-95(1992).
7. J.S.Lee, C.J.Kim, and D.S.Yoon, et al., Jpn.J.Appl. Phys., Vol.33, pp.260-65(1994).
8. S.B.Krupanidhi,H.Ilu, and V.Kumar, J.Appl.Phys. 71(1),pp.376-88(1992)
9. H.Tanaka, and T.Kawai, et al., Jpn.J.Appl. Phys., Vol.33, pp.L451-54(1994)
10. G.R.Fox and S.B.Krupanidhi, J.Mater.Res., Vol.9,No.3,pp.699-711(1994)
11. C.V.R.Vasant Kumar,R.Pascual, and M.Sayer, J.Appl. Phys. 71(2), 864-74(1992)
12. K.Abe, H.Tomita and H.Toyoda, et al., Jpn.J.Appl. Phys., Vol.30, No.9B, pp.2162-64 (1991)
13. Chi Kong Kwok and Seshu B.Desu, J.Mater. Res., Vol.9, No.7,pp.1728-33(1994)

Pulsed Laser Deposition Accompanied with Thermal Processing for Preparing Ferroelectric PZT Thin Films and Their Optimization

W-ping Xu, Lirong Zheng, Huoping Xin and Chenglu Lin

State key Laboratory of Functional Materials for Informatics, Shanghai Institute of Metallurgy, Chinese Academy of Sciences, Shanghai 200050

ABSTRACT

PZT thin films have been prepared on Pt-metallized SiO₂/Si substrate by ArF excimer pulsed laser deposition (PLD). Then structural phase transformation from amorphous and/or pyrochlore to ferroelectric perovskite phase after subsequent thermal processing was studied by x-ray diffraction (XRD) analysis. Finally, an optimum processing, i.e., deposition at 400°C and rapid thermal annealing (RTA) at 600~650°C for 200~400 seconds, for fabricating ferroelectric PZT thin films of as much perovskite phase as possible was proposed.

Key words: pulsed excimer laser deposition, rapid thermal annealing, ferroelectric PZT thin films.

.....

(上接第3页)

ABSTRACT

The CMOS/BESOI were irradiated in the field of ⁶⁰Co-γ field, then the devolution behavior and mechanism of electric parameters were analysed by subthreshold I-V technology. It's indicated that serious damage were produced in devices after irradiation.

Key words: irradiate, threshold voltage, leakage current

后续热处理配合PLD制备铁电PZT薄膜及其工艺优化研究

许华平 郑立荣 辛火平 林成鲁

中国科学院上海冶金研究所信息功能材料国家重点实验室200050, 上海市

摘要 利用ArF准分子脉冲激光沉积(PLD)工艺在Pt/SiO₂/Si衬底上制行了Pb(Zr₅₂Ti₄₈)O₃(PZT)薄膜。并用X射线衍射(XRD)分析方法研究了不同后续热处理对薄膜相组成和相结构转变(从无定形态或烧绿石相到钙钛矿结构)的影响。提出了一种制备最佳铁电PZT薄膜的优化工艺,即400℃沉积,600℃~650℃快速热退火200~400秒。

关键词: 准分子脉冲激光沉积, 快速热退火, 铁电PZT薄膜

一、引言

近年来,对铁电薄膜的研究主要集中在材料的成分和制备工艺上。而薄膜技术的最新进展已使研制铁电集成器件成为可能。铁电薄膜将以其优异的性能在压电、热释电和电光器件中得到广泛应用,目前正在开发和研制集成铁电存储器和铁电光盘^[1-5]。值得注意的是这种与现代硅集成电路兼容的非挥发性铁电薄膜存储器以其快速存取(ns级)、高密度、强烈抗辐照和低工作电压等特点,受到世界范围现代产业界的极大关注。

日新月异的半导体集成电路技术使薄膜工艺在近二三十年中得到飞速发展,至今几乎所有的薄膜技术如闪蒸、电子束蒸发、离子束溅射、磁控溅射、sol-gel法、MOCVD、激光沉积、MBE等等^[8,9]都已用来制备不同类型的铁电薄膜。然而,由于铁电薄膜的组份复杂性,为制备适于器件开发的薄膜,工艺过程中总会碰到一些共同难题:如化学计量比的控制,结晶性、均匀性和重复性的提高,以及与半导体工艺的兼容性。PZT(52/48)具有优异的综合性能,但其沉积状态总需后续热处理使其结晶成有铁电性的钙钛矿结构(Pe相),即PZT原位易结晶成亚稳烧绿石相(Py相)的倾向已成为一大障碍。许多研究报导可通过调整Pb量、提高沉积温度或增大后续退火温度和延长退火时间使Py相转化为Pe相^[7-10]。这里必须强调为使薄膜与Si电路集成,薄膜工艺和后续热退火都须与Si技术兼容。正因为后续热处理能有效地提高薄膜的含Pe相量^[7],文献资料显示^[8-11],最近有关PZT薄膜的快速热处理(RTP)的研究开始增多,研究结果还表明RTP比常规热退火更有效。然而,工艺的优化问题一度被忽略。本文结合了脉冲激光沉积(PLD)和RTP技术在制备PZT薄膜方面的突出优点,研究了沉积温度和后续热退火条件对薄膜相组成和结晶性的影响,优化分析得到最佳工艺条件,以指导获得结晶性良好、纯Pe相的PZT薄膜。

二、试验方法

在热氧化p型(电阻率5~9Ω·cm)Si(100)衬底上,用超高真空电子束镀膜仪沉积50nm的Pt层作底电极,PLD用PZT陶瓷靶以Zr/Ti = 52/48的化学计量比另加17wt%的PbO粉末(补

3
4-13
A

PLD, 半导体集成电路

TN/384
TN/430.5

偿沉积过程中的Pb损)烧结而成。图1为ArF准分子脉冲激光沉积系统简单示意,先由机械泵和分子泵把镀膜腔抽到 3×10^{-6} Pa的背景气压后,再通过质量流量计控制 O_2 的流量使工作气压稳定在10Pa。控制Ta丝加热到某一衬底温度后,开启激光,激光束通过紫外透镜聚焦,以约 $4J/cm^2$ 的能量密度闪照旋转着的PZT靶(1转/分钟)表面,激光闪现频率为5Hz,薄膜沉积速率约30nm/min。薄膜与衬底一起自然冷却到室温,样品分成小块按设定的参数在KST-2型快速热处理炉中进行RTP和常规退火,退火温度从550℃到750℃不等,时间对RTP为几十到几百秒,对常规退火则长达2小时。具体的PLD和退火工艺参数见表1。用X射线衍射(XRD)分析退火前后薄膜的相组成和结晶性。

表1 制备PZT薄膜的PLD和热处理工艺条件

PZT靶	PZT(62/48)添加17wt%过量的PbO
衬底	Pt/SiO ₂ / <100 >Si
沉积衬底温度(T_{sub})	400~660℃
工作气压	10Pa的纯O ₂
脉冲激光束	ArF准分子激光(波长193nm)
脉冲频率	5Hz
总脉冲数	5000次
束能量密度	~4J/cm ²
靶衬间距	~3cm
后续热处理条件	温度,550~750℃;时间,10秒~2小时;氧气保护

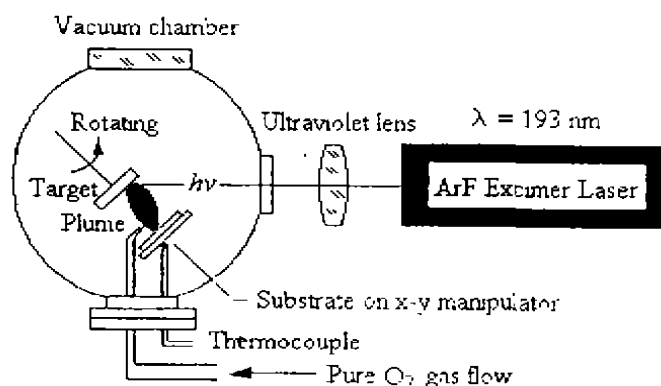


图1 脉冲激光沉积系统示意图

三、实验结果与分析讨论

1. 沉积衬底温度(T_{sub})对薄膜相组成的影响

由图2不同 T_{sub} 下沉积的PZT薄膜的XRD谱可见,随 T_{sub} 的增大,Py相增加,结晶性提高,晶粒变粗并呈(222)取向。 $T_{sub} \leq 500^\circ\text{C}$ 时,谱线上出现较弱的(211)_{py}峰。这与Abe等人^[12]观察到的基本相似,他们认为即使是相同条件下PLD沉积的PZT薄膜,其晶体结构很大程度上取

决于衬底电极,只有在Pt/Ti双层电极上才能一步得到Pe结构PZT薄膜。

2. 退火对薄膜相组成的影响

图3为 $T_{sub} = 400^\circ\text{C}$ 时沉积的薄膜及其经 650°C 不同时间退火后样品的XRD谱。随退火时

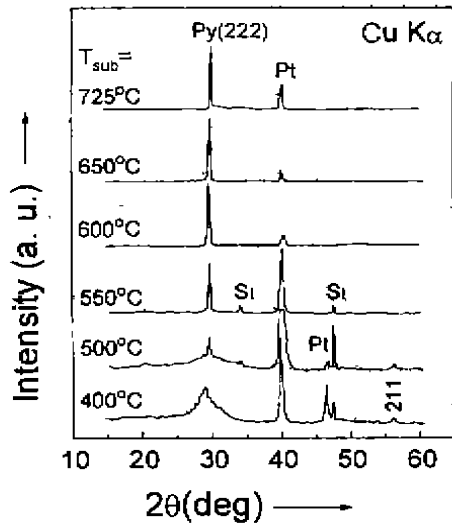


图2 不同衬底温度下沉积的PZT薄膜的X射线衍射谱

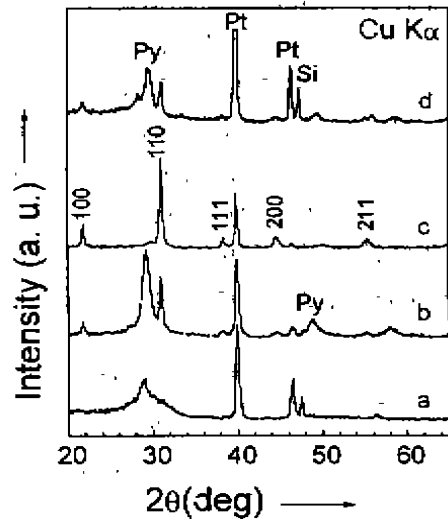


图3 400°C 沉积及其经 650°C 不同时间退火后, PZT薄膜的X射衍射谱
(a) 沉积态 (b) 20秒 (c) 200秒 (d) 420秒

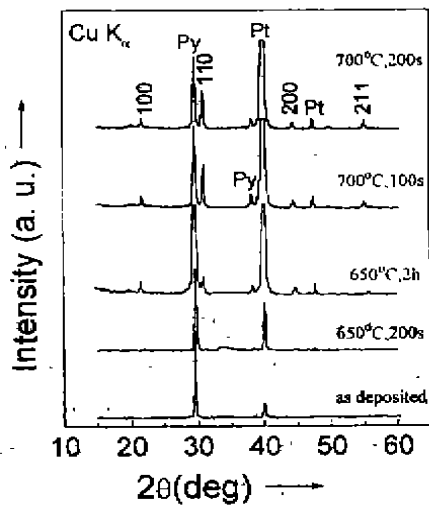


图4 600°C 沉积及其经不同条件退火后, PZT薄膜的X射线衍射谱

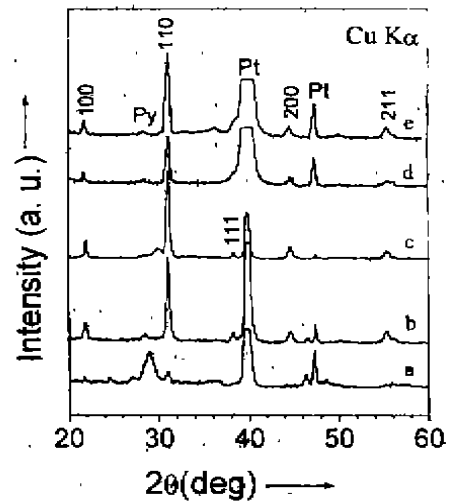


图5 比较 400°C 沉积膜经不同快速热退火处理后的X射线衍射谱
(a) $550^\circ\text{C} \times 500$ 秒 (b) $600^\circ\text{C} \times 290$ 秒 (c) $650^\circ\text{C} \times 200$ 秒
(d) $700^\circ\text{C} \times 30$ 秒 (e) $750^\circ\text{C} \times 10$ 秒

间的延长,膜中Pe相开始形成,其结晶性与Py相一起得到进一步改善(见谱b)。到200秒时,Py相几乎全部消失,PZT呈单一Pe相并呈现 $\langle 110 \rangle$ 取向。然而到420秒后,Py相又重新形成,Pe相的相对含量大大降低,这意味着 650°C 时,Pe相已不再稳定,所以对 400°C 沉积膜,必

定存在一最佳RTP条件,以得到最大含量的Pe相。

同样,图4给出了 $T_{\text{mb}} = 600\text{ }^{\circ}\text{C}$ 沉积和经不同热退火后薄膜的XRD谱。由于沉积状态下薄膜Py相结晶良好,热退火使其进一步转变结构不如使较低沉积温度($T_{\text{mb}} = 400\text{ }^{\circ}\text{C}$)时的非晶Py相转变容易。图4结果表明后续热退火似乎已不可能得到单一Pe相薄膜。

3. 探索制备钙钛矿结构PZT薄膜的最优条件

如图5中不同RTP处理后PZT薄膜($T_{\text{mb}} = 400\text{ }^{\circ}\text{C}$)的XRD谱所示,薄膜由Pe和Py的混合相组成。这里定义它们的最强峰强度比率 $R = (I_{\text{pe}}(110)/I_{\text{py}}(222))$,并用R半定量地估算两种相的体积百分比。表2对比不同退火温度和时间下的R值可见;R受退火温度和时间的影响敏感,而且,温度对相变的影响比退火时间更强烈。因为该相变受热激活因素控制(Pe相的相变有效激活能为 $490\text{ kJ/mol}^{[1]}$),显然, $600\text{ }^{\circ}\text{C}$ 以上和较长时间退火有利于Pe相的形成。如经 $650\text{ }^{\circ}\text{C} \times 200\text{ 秒}$ 或更高温短时间($750\text{ }^{\circ}\text{C} \times 10\text{ 秒}^*$)RTP后可得到结晶良好的单一Pe相,而在

表2 PZT薄膜的XRD分析及其快速热退火工艺优化

	RTA处理条件	$I_{\text{pe}}(110)/I_{\text{py}}(222)$	结果分析评估
样品1#	550 $^{\circ}\text{C}$, 500秒	0.6	差
样品2#	600 $^{\circ}\text{C}$, 200秒	9.5	较好
样品3#	650 $^{\circ}\text{C}$, 200秒	10.7	好
样品4#	700 $^{\circ}\text{C}$, 30秒	6.6	较好
样品5#	750 $^{\circ}\text{C}$, 10秒	11.67	好

*——退火温度高于 $650\text{ }^{\circ}\text{C}$ 将与半导体集成电路工艺不兼容

$550\text{ }^{\circ}\text{C}$ 的较低温度上,即使保温500秒也只有微量的转变。因此,为制备纯Pe结构PZT薄膜,后续热退火是必须的。而且一旦Pe或Py相形核,过量的Pb原子将在薄膜晶体结构重构前挥发而溢出表面,所以,要使高温沉积结晶良好的Py膜相变到Pe结构,显然要比在较低温度($T_{\text{mb}} \approx 400\text{ }^{\circ}\text{C}$)PLD沉积的无定形膜完成相变难得多。

四、结 论

通过ArF准分子脉激光沉积和随后的快速热退火在Pt/SiO₂/Si衬底上制备了纯钙钛矿结构的PZT薄膜。实验结果表明,RTP是必须的后续处理工艺,RTP是使无定形膜转变为单一铁电相膜的有效途径。制备最佳铁电性PZT薄膜的最优工艺条件是:400 $^{\circ}\text{C}$ 或400 $^{\circ}\text{C}$ 以下温度沉积, $650\text{ }^{\circ}\text{C} \times 200\text{ 秒}$ RTP处理。实验结果还证实PLD在纯Pt电极上不能直接得到钙钛矿结构薄膜。从长远考虑,纯Pt电极上不适于直接生长铁电性PZT薄膜,在Pt/Ti混合或Pt-Ti合金电极上PLD原位生长铁电PZT薄膜的试验正在进行中。

参考文献

1. Gene H. Hartling, J. Vac. Sci. Technol. A9(3), pp. 414-20(1991)
2. James F. Scott and C. A. Paz De Araujo. Science. Vol. 246. pp. 1400-05(1989).
3. M. Sayer and K. Screenivas. Science. Vol. 247. pp. 1056-60(1990)
4. M. Okuyama and Y. Hamakawa. Ferroelectrics 63. 243(1985)

5. T.Venkatesan, Thin Solid Films 216, pp.52-58(1992).
6. Laurel M.Sheppard, Ceramic Bulletin, Vol.71, No.1, pp85-95(1992).
7. J.S.Lee, C.J.Kim, and D.S.Yoon, et al., Jpn.J.Appl. Phys., Vol.33, pp.260-65(1994).
8. S.B.Krupanidhi,H.Ilu, and V.Kumar, J.Appl.Phys. 71(1),pp.376-88(1992)
9. H.Tanaka, and T.Kawai, et al., Jpn.J.Appl. Phys., Vol.33, pp.L451-54(1994)
10. G.R.Fox and S.B.Krupanidhi, J.Mater.Res., Vol.9,No.3,pp.699-711(1994)
11. C.V.R.Vasant Kumar,R.Pascual, and M.Sayer, J.Appl. Phys. 71(2), 864-74(1992)
12. K.Abe, H.Tomita and H.Toyoda, et al., Jpn.J.Appl. Phys., Vol.30, No.9B, pp.2162-64 (1991)
13. Chi Kong Kwok and Seshu B.Desu, J.Mater. Res., Vol.9, No.7,pp.1728-33(1994)

Pulsed Laser Deposition Accompanied with Thermal Processing for Preparing Ferroelectric PZT Thin Films and Their Optimization

W-ping Xu, Lirong Zheng, Huoping Xin and Chenglu Lin

State key Laboratory of Functional Materials for Informatics, Shanghai Institute of Metallurgy, Chinese Academy of Sciences, Shanghai 200050

ABSTRACT

PZT thin films have been prepared on Pt-metallized SiO₂/Si substrate by ArF excimer pulsed laser deposition (PLD). Then structural phase transformation from amorphous and/or pyrochlore to ferroelectric perovskite phase after subsequent thermal processing was studied by x-ray diffraction (XRD) analysis. Finally, an optimum processing, i.e., deposition at 400 C and rapid thermal annealing (RTA) at 600~650 C for 200~400 seconds, for fabricating ferroelectric PZT thin films of as much perovskite phase as possible was proposed.

Key words: pulsed excimer laser deposition, rapid thermal annealing, ferroelectric PZT thin films.

(上接第3页)

ABSTRACT

The CMOS/BESOI were irradiated in the field of ⁶⁰Co-γ field, then the devolution behavior and mechanism of electric parameters were analysed by subthreshold I-V technology. It's indicated that serious damage were produced in devices after irradiation.

Key words: irradiate, threshold voltage, leakage current

TMG和TEGMOCVD生长GaAs物理化学研究

9
14-16

丁永庆 胡金波 彭瑞伍

中科院上海冶金研究所 上海200050

A

摘要 本文采用三甲基镓(TM₃G)和三乙基镓(TEG)为镓源的金属有机化合物气相沉积(MOCVD),获得了高质量的GaAs外延层,生长速率随TMG和TEG的浓度增加而增高和理论计算基本相符,而与AsH₃浓度无关,用自制的TEG为镓源生长的GaAs有较高的迁移率。

关键词 MOCVD 砷化镓 物理化学

外延生长 TN304.23
TN304.054

1. 引言

MOCVD生长GaAs的镓源主要有TMG和TEG两种,二者都为国际上通用的原料,一般认为,用后者进行气相生长可以避免碳的玷污而获得高质量的GaAs外延层^[1],为此,我们从化学热力学出发讨论了TMG和TEG为镓源的GaAs的生长速率,这里简单假定:1. TMG和TEG在氢中热介的主要产物为镓原子;2. 在富砷条件下,镓原子质量输运是GaAs生长的控制步骤,而镓原子向衬底扩散和沉积的速率就等于GaAs的生长速率,在这个基础上我们计算了MOCVD生长GaAs的速率,计算公式如下^[2]:

$$G(z) = \frac{M}{P} \cdot \frac{2.68P_0 D_G}{RT_m h} \left(\frac{T_m}{T_0} \right)^{1.65}$$

其中G(z)为生长速率,M晶体分子量,P晶体密度,P₀输入压力,D_G扩散系数,R理想气体常数,T_m生长温度,T₀室温(300K),h反应器高度,为验证上式计算结果对本实验的可用性,我们在同一MOCVD设备上分别用上述二种镓源研究了GaAs的生长速率和As/Ga比对生长速率的影响,以及某些电学性质,最后也讨论了有使用TEG为源生长外延片的均匀性等。

2. 实验方法

本文的实验装置见图1,它与文献[3]类同,GaAs衬底为掺Cr-GaAs,ρ ≈ 10Ω · cm,晶向为<100>向<110>偏-3°,使用前片子经过严格清洗,镓源为:自制TEG,纯度>99.99%;TMG(Aifa公司产品);砷源为10%AsH₃(联合碳化物公司产品)纯度>99.999%。

典型生长条件:TMG为镓源,T_{TMG} = -5℃;T_s = 700℃;P_{TMG} = 1~3 × 10⁻⁴;TEG为镓源,T_{TEG} = 10℃;T_s = 550℃;P_{TEG} = 1~2 × 10⁻⁴。砷烷都为P_{AsH3} = 2~3 × 10⁻⁸;As/Ga ≈ 20;上述总氢都为3升,详细操作见文献[4],典型数据见表1。

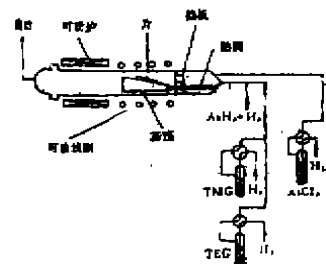


图1 MOCVD装置图

3. 结果和讨论

3.1 TMG和TEG浓度对生长GaAs速率的计算和实验结果

R. Bhat等^[2]虽然在同一MOCVD设备中研究了TMG和TEG的外延生长,但他们对二者浓度变化对生长速率的影响,以及AsH₃浓度对生长速率的影响尚未进行研究,对此我们进行了一些探讨并进行了理论计算,图2为固定生长温度和AsH₃浓度条件下,改变TMG和TEG浓度外延生长GaAs速率之变化,由图2看出,随着TMG和TEG浓度增加外延生长GaAs速率相应地提高,这是符合一般文献报道的,同时我们对TMG和TEG进行了生长速率理论计算,其结果见图2中虚线1和2分别为TMG和TEG计算值,从虚线1看TMG较为接近理论计算值,而TEG相对偏差较大见虚线2,这是因为TEG较易分解,预沉积较TMG为大,也与我们预期的结果相一致。

3.2 AsH₃浓度对生长速率的影响

当恒定TMG和TEG的浓度时,变化AsH₃浓度,生长速率几乎不变见图3。

3.3 载流子浓度和迁移率

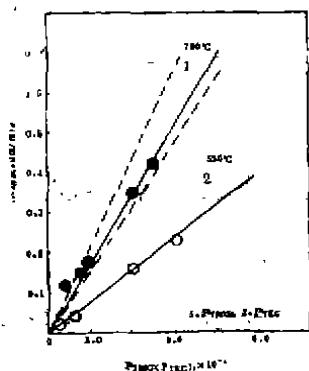


图2 TMG和TEG的分压与外延生长GaAs速率的关系 ($P_{AsH_3} = 3.3 \times 10^{-2}$)

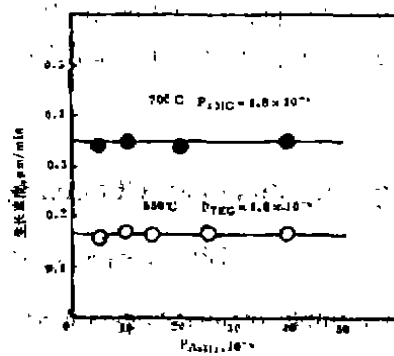


图3 AsH₃浓度与外延生长GaAs速率的关系 (P_{TMG} 和 $P_{TEG} = 1.8 \times 10^{-4}$)

当固定As:Ga \approx 20,用TMG为镓源时,衬底温度为700℃;用TEG为镓源时,衬底温度为550℃,所获得的典型结果列于表1,从表1看出,使用自制TEG能获得较好的迁移率,而我们曾采用过Alfa公司生产的TEG,其结果低温迁移率不够理想,这可能与文献报道的有机源长时期贮存在不锈钢容器中引起的玷污有关,而我们自制TEG有机源贮存在石英瓶中直接连接在MOCVD设备上,从而避免了各种玷污。

表1 TMG和TEG为镓源的典型的实验结果

样品	Ga源	As/Ga	厚度 μm	生长温度 $^{\circ}\text{C}$	n_{300k}	μ_{300k}	n_{77k}	μ_{77k}
					cm^{-3}	$\frac{\text{cm}^2}{\text{s}}$	cm^{-3}	$\frac{\text{cm}^2}{\text{s}}$
TE	TEG(自制)	20/1	7	550	3.49×10^{14}	9.09×10^3	1.48×10^{14}	10×10^4
TM	TMG(Alfa)	20/1	6	700	3.3×10^{14}	6.3×10^3	3.4×10^{14}	3.5×10^4

4. 结论

4.1 在同一MOCVD系统中外延生长GaAs使用了TMG和TEG有机源,生长速率随TMG和

TEG浓度增加而提高,并和理论计算基本相符,而与 AsH_3 浓度无关.

4.2 用自制TEG为镓源获得较高的迁移率,与文献报道相同.

此外尚需指出,R. Bhat^[1]曾报道使用TEG为镓源所获得GaAs外延片极不均匀,从头至尾几乎相差一倍,这一点他归结于衬底上方的预沉积所造成的,在我们的实验系统中,由于增加了改变气流的混合器,能减少衬底上方的预沉积,从而获得较为均匀的外延片,并在不同衬底上和Ⅱ-VI研究都获得满意结果^[5,6]

参考文献

- [1] Y. Seki et al., J. Electrochem. Soc. 122(8)(1975)1108.
- [2] D. H. Reep et al., J. Electrochem. Soc. 130(3)(1983)675.
- [3] R. Bhat et al., GaAs Related Compounds, Japan(1981)101.
- [4] Ding Yong-qing and Peng Rui-wu. Rare Metals Vol. 11 No. 2, 102(1992)
- [5] Ding Yong-qing, Peng Rui-wu Wein Guand-yu, Rare Metals Vol. 12, No. 3 175(1993)
- [6] Ding Yong-qing, Peng Rui-wu, J. Of Electronic Matetials, Vol 23, N02, 221(1994)

A study on physical Chemistry of the Growth GaAs by MOCVD

Ding Yong-qing, Hu Jin-bo, and Peng Rui-wu

shanghai Institute of Metallurgy, Chinese Academy of Sciences, Shanghai 200050, china

Using trimethylgallium (TMG) and triethylgallium (TEG) as source materials, the epitaxial GaAs layers with high quality were obtained by metalorganic chemical vapor depositon (MOCVD). The growth rate of GaAs increases with increasing the concentrations of TMG and TEG, and is irrelated to the concentration of AsH_3 , which is basically in agreement with theoretic calculation. GaAs grew using selfprepared TEG as source material has higher mobility.

Keywords: MOCVD, GaAs, physical chemistry

升温工艺对PTC BaTiO₃陶瓷显微结构和电性能的影响

姚尧 王依琳[✓] 赵梅瑜 祝炳和

中国科学院上海硅酸盐研究所 上海200050

15
17-22
A
摘要 低共熔相呈现温度(1150—1230℃),用变化升温速率(160—1800℃/小时)的烧结工艺来制备PTCBaTiO₃陶瓷。测量了PTC BaTiO₃试样的室温电阻、R—T曲线、I—V曲线及拍摄了试样自然烧结面SEM照片。结果表明:升温时的速度控制是获得优质(即高的电阻突变率 α 、高的耐电强度、低的稳态电流)PTC BaTiO₃陶瓷的一个关键工艺。

关键词:低共熔点、升温速率、PTC BaTiO₃陶瓷、异常晶粒生长。

1. 引言

半导体陶瓷

TN 304.82

BaTiO₃半导体陶瓷问世以来,已有50多年的历史。在国外,材料及应用均获得很大的发展,在国内,近十年中也获得了较大的发展,但材料制备及工艺等方面尚有不完善之处。

BaTiO₃半导体陶瓷的烧结过程比较复杂,因此,烧成工艺对形成PTC效应亦起关键性的作用。已经表明^[1,2]:烧结过程中,合成料即掺杂的BaTiO₃将溶入到第二相(低共熔点液相),再从中结晶并生长,同时释放出氧形成还原形式半导体BaTiO₃晶粒、晶界液相偏析,晶界产生重氧化(形成势垒层),有些杂质在晶粒生长过程中被迁移的晶界“扫除”至晶粒间界面等。这是形成PTC BaTiO₃陶瓷的主要过程。已有些报道及综述^[1,3-4]描述制备PTC BaTiO₃陶瓷的烧成工艺:升温、高温保温及降温三个过程。报道及综述对烧成工艺中的后二个过程对PTC BaTiO₃陶瓷的影响,结论是大致相同,即提高烧结温度和延长保温时间有利于增强PTC效应,但增大室温电阻率,反之则弱化PTC效应,并降低室温阻率。降温过程时的降温速率变慢(亦包括在液相固化温度前后保温一段时间),有利于增强PTC效应,但增大室温电阻率。降温速率变快则弱化PTC效应,并使室温电阻率下降。升温过程,即升温速率(包括在某温度区域保温一段时间)变化对PTC BaTiO₃陶瓷电特性的影响不相一致。一种观点认为^[1,4]:升温过程中,在某一温度(约低于烧结温度100~200℃)保温一段时间或快速升温,有利于PTC效应的增强,另一种观点认为^[1,5]:由于材料中存在一个形成液相的低共熔点 T_u (约为1260-1320℃),所以升温速率过慢或烧结温度前的保温,易造成BaTiO₃晶粒异常生长,恶化PTC效应。

快速升温烧结(fast firing)已有从多报道^[4],结果表明:该烧结方法能够降低陶瓷的平均晶粒,提高密度,是制备接近或全致密陶瓷的一个方法。其主要原理是利用晶粒生长活化能与致密化活化能不同,运用快速升温的方法缩短停留于晶粒生长区域的时间,抑制晶粒生长,加速致密化的速率。BaTiO₃陶瓷,采用快速烧成,可制备出与热压BaTiO₃陶瓷相仿的高致密度及细晶粒陶瓷。

通常认为显微结构及平衡空位控制了PTC BaTiO₃陶瓷的机、电、热等性质^[7]。显微结构除原料及组成影响之外,主要决定于升温工艺。而平衡空位则与保温、降温工艺密切相关。本文将主要选择升温工艺,在低于低共熔点的温度(1150-1230℃)大幅度地改变升温速率,以了解升温工艺对PTC BaTiO₃陶瓷显微结构和电性能的影响。

2. 实验方法

本实验选用国产化学共沉淀生产的BaTiO₃粉料及CaCO₃、SrCO₃、TiO₂、Y₂O₃、MnCO₃等原料,采用传统电子陶瓷制粉工艺,按下列组成:Ba_{0.91}Sr_{0.09}Ca_{0.03}Ti_{1.01}O₃ + 0.2~0.3mol% Y₂O₃ + 0.05-0.10mol% MnCO₃ + 适量液相添加剂(SiO₂、Al₂O₃、TiO₂等)制备PTC瓷粉。用单面加压压制园形瓷坯,尺寸为:Φ 15×2.5~3.0mm。排粘合剂后,于1320℃高温烧结,保温时间为30分钟,降温速率为150℃/小时。升温过程是:先以330℃/小时速率升温,然后在低共熔点Tu温度之下变更升温速率,具体变化条件列于表1。烧结后的瓷片尺寸为:Φ 13×2.5mm左右。瓷片经仔细清洗,涂布欧姆接触银浆,烧银后即制成PTC陶瓷试样。

表1 升温速率变化情况

试样编号	具体升温过程				
1#	0℃	330℃/小时	1190℃	1800℃/小时	1320℃
2#	0℃	330℃/小时	1190℃	1200℃/小时	1320℃
3#	0℃	330℃/小时	1190℃	600℃/小时	1320℃
4#、9#	0℃	330℃/小时	1190℃	500℃/小时	1320℃
5#	0℃	330℃/小时	1190℃	330℃/小时	1320℃
6#	0℃	330℃/小时	1190℃	160℃/小时	1320℃
7#	0℃	330℃/小时	1150℃	500℃/小时	1320℃
8#	0℃	330℃/小时	1170℃	600℃/小时	1320℃
1#、9#	0℃	330℃/小时	1190℃	600℃/小时	1320℃
10#	0℃	330℃/小时	1210℃	500℃/小时	1320℃
11	0℃	330℃/小时	1230℃	500℃/小时	1320℃

用DYC-5A型超高频电压表测量试样的室温电阻,以三片试样测量结果的平均值为该试样的室温电阻值,其中部份试样用自动测试仪测量R-T曲线,并从中求得 α (电阻突变率)等一系列数据。同时,用静态方法(缓慢升电压方法)^[8]测量试样不同电压下的稳态电流I,可得I-V曲线,从曲线中可以估计试样耐电强度的大小。

PTC试样的自然烧结面用SEM扫描电镜观察,用截线法测量试样的平均晶粒尺寸。

下面,为了便于叙述及讨论,我们用试样编号来表示升温过程中的速率变化。

3. 实验结果及讨论

图1为1#-11#试样的室温电阻及平均晶粒尺寸。结果表明:1#-6#试样间的室温电

阻值有变化,其中,2#试样的室温电阻值为最高,达190欧姆,最低的6#试样仅为90欧姆。而7#-11#试样间的室温电阻值变化较小,最高与最低电阻值相差仅为30欧姆左右。图1中平均晶粒尺寸的变化与室温电阻的变化正相反,室温电阻值最高的2#试样,其平均晶粒尺寸为最小($\sim 5.4\mu\text{m}$),而室温电阻值最低的6#试样,其平均晶粒尺寸为最大($\sim 8.0\mu\text{m}$)。在7#-11#试样间,室温电阻值变化不大,其平均晶粒尺寸的变化也不大,在 $6.8\sim 7.5\mu\text{m}$ 之间。图2为部分试样自然烧结面的扫描电镜照片。从照片上可以看出,随着升温速率变慢,试样的晶粒尺寸渐渐变大。其中特别是6#与1#试样,从照片中可以明显地看出,有异常生长晶粒存在,6#试样的异常晶粒尺寸为最大,约为 $30\mu\text{m}$ 左右。2#试样有少许异常生长晶粒存在,而1#试样的异常生长晶粒要比2#试样明显,但比6#试样的异常生长晶粒尺寸要小。

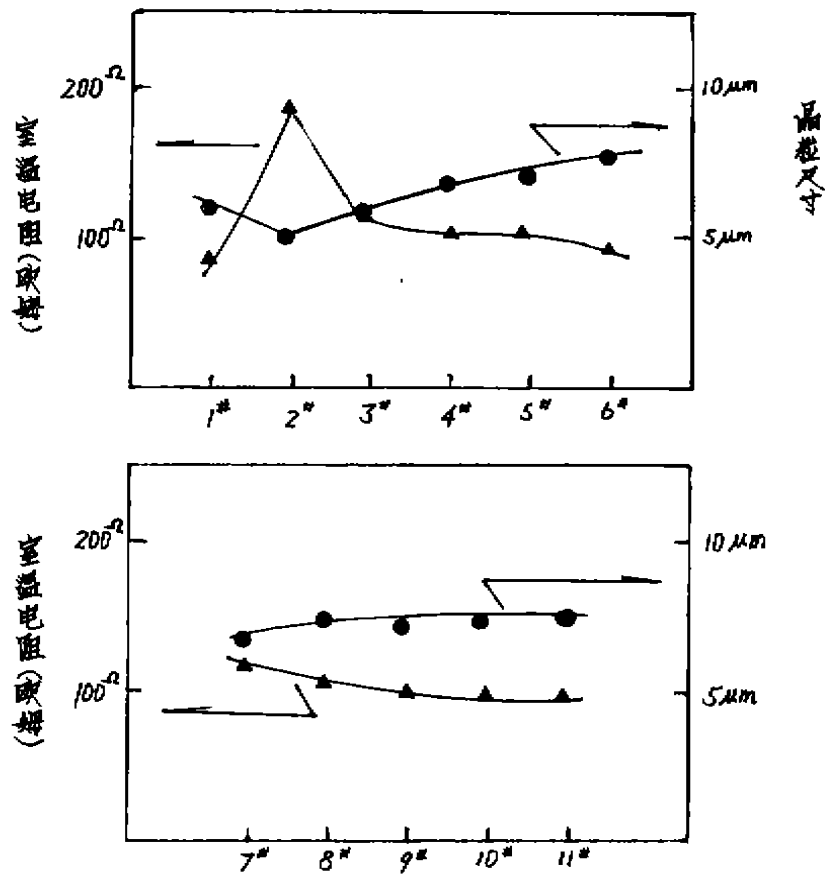


图1 试样的室温电阻及平均晶粒尺寸

从图1及图2的结果中可以看出,PTC BaTiO_3 陶瓷的烧成工艺中,升温过程的升温速率快慢,对PTC BaTiO_3 陶瓷的室温电阻及平均晶粒尺寸有很大的影响。特别是高温区过快或过

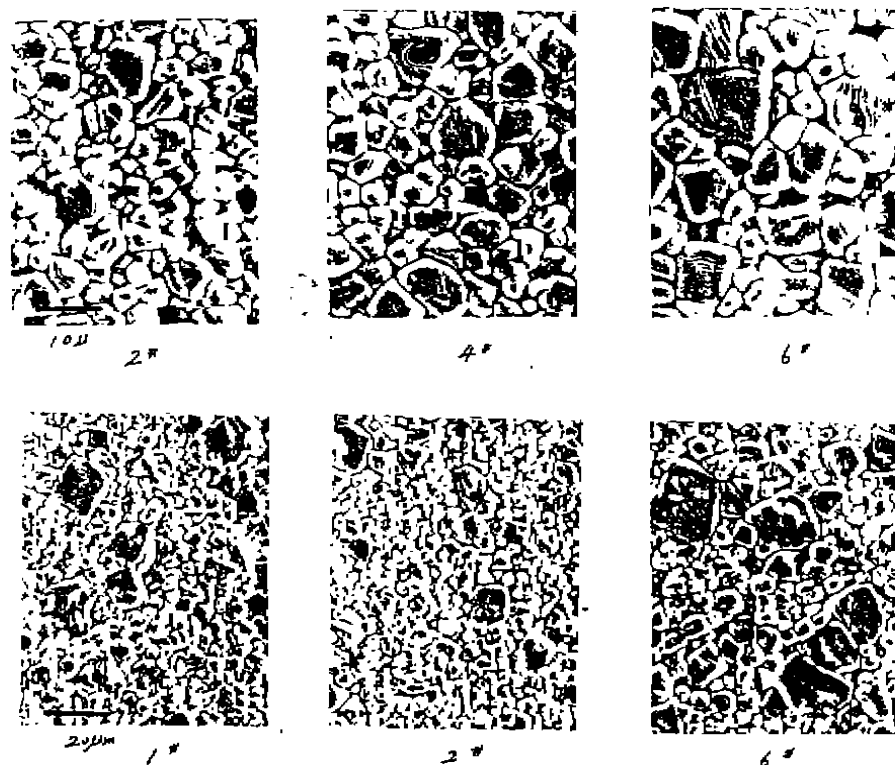


图2 部分PTC试样自然烧结面的SEM照片

慢的升温速率(例如1800 C / 小时或160 C / 小时)均造成PTC BaTiO_3 的陶瓷晶粒的异常生长。由于升温过程的速率变化对PTC BaTiO_3 陶瓷的晶粒尺寸、晶粒异常生长等显微结构有很大影响,所以除了对室温电阻有影响之外,也必将对PTC BaTiO_3 陶瓷的其它电物理特性有影响。

图3是部分试样的R—T曲线。这些R—T曲线的结果表明:升温过程中,高温区域升温速

表2 来自R—T曲线的系列数据

试样编号	R25 C (Ω)	T小 ($^{\circ}\text{C}$)	T大 ($^{\circ}\text{C}$)	T _B ($^{\circ}\text{C}$)	α (%/C)	ΔT ($^{\circ}\text{C}$)	R大/R小 (10n)
1 #	69.2	52.3	222	94.4	20.7	170	5.9
4 #	91	56.6	207	94.4	24.8	151	6.1
6 #	74	55.0	190	92.8	26.5	135	6.3
7 #	119	55.0	202	93.5	25.2	148	6.2
9 #	91	56.6	207	94.4	24.8	151	6.1
11 #	91	54.4	209	94.2	24.6	155	6.3

* T_B为最低电阻3倍的温度

* * $\Delta T = T_{\text{大}} - T_{\text{小}}$

* * * α 计算温区为 $T_{\text{B}} \sim T_{\text{B}} + 30^{\circ}\text{C}$

率的变化对R-T曲线有较大的影响,而变更升温速率的温度(1150-1230℃),对R-T曲线的影响较小。表2是从图3R-T曲线中测得的一系列数据。从刊于表2的数据中,可清楚地看到:缓慢升温,有利于电阻突变率 α 和 $R_{大}/R_{小}$ 的提高、缩小 ΔT ,快速升温则导致电阻突变率 α 和 $R_{大}/R_{小}$ 的下降、增大 ΔT 。

图4为部分试样的I-V曲线(图中结果为二片试样的平均值)。从曲线中同样清晰地看到,高温区升温速度的变更对PTC BaTiO₃陶瓷的稳态电流及耐电强度有重大影响。升温速率过快或过慢均导致稳态电流变大及耐电强度下降,这点主要与异常晶粒生长有关。在

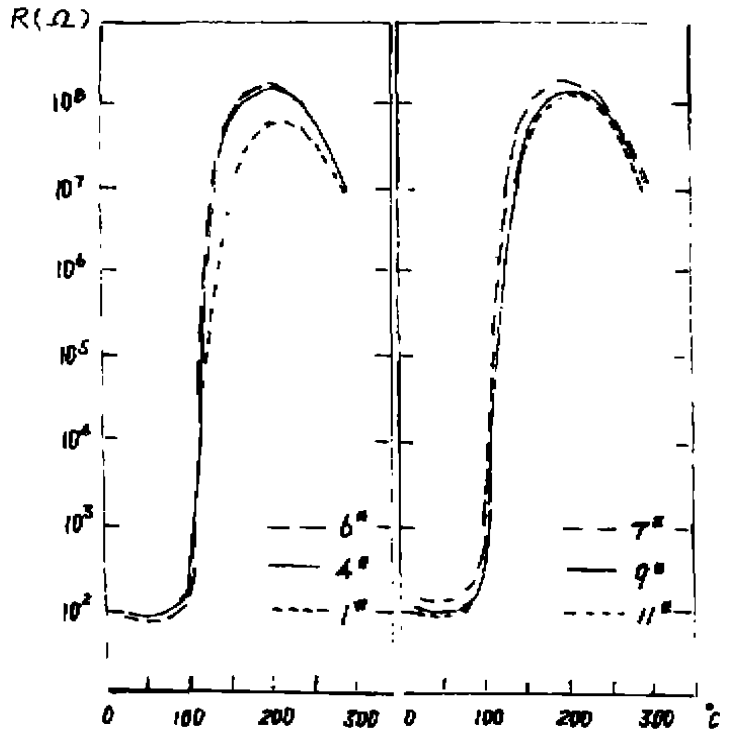


图3 部分PTC试样的R-T曲线

1#、4#、6#试样中,1#试样的稳态电流为最大,其耐电强度为最低,与4#试样相比,要低一倍左右(1#试样:~400V, 4#试样:700~800V)。1#试样的异常晶粒尺寸虽不及6#试样那么大,但1#试样的电阻突变率 α 要比6#试样为低,从表2中可看出,前者为20.7,后者26.5。由此可见,电阻突变率 α 是表征PTC BaTiO₃陶瓷电物理性能优劣的一个重要参数。变更升温速率的温度(1150—1230℃)对稳态电流及耐电强度的影响不大。

从上述实验结果及讨论中,我们认为:除了配方、原料等因素之外,PTC BaTiO₃陶瓷的制作工艺中,升温过程的速度控制是制备优质PTC BaTiO₃陶瓷,即高的电阻突变率 α 、高的耐电强度及所需室温电阻的相当重要环节。这是因为形成半导体BaTiO₃晶粒的一些过程,均在升温

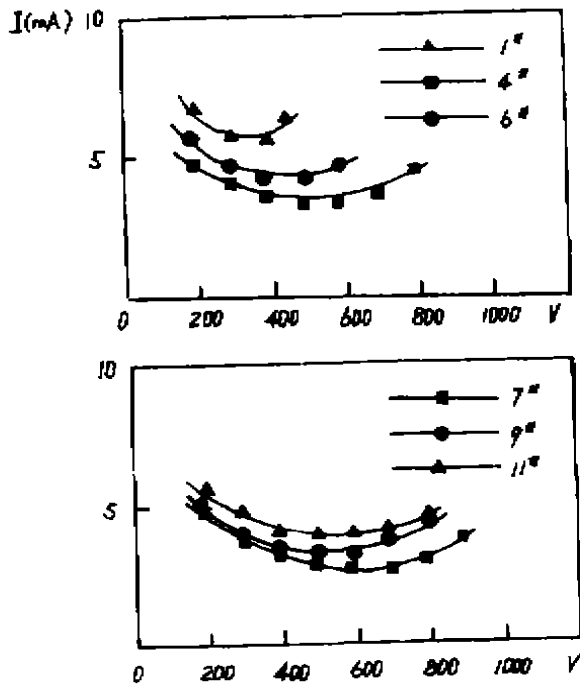


图4 部分试样的I-V曲线

过程内完成。而正是由于这些过程决定了PTC BaTiO₃陶瓷的显微结构及半导化。

图1中平均晶粒尺寸变化与快速烧成原理相一致。升温速率变快,滞留于晶粒生长区的时间就短,緻密化速度变快,最终导致平均晶粒尺寸下降。反之导致平均晶粒尺寸变大。6#试样的升温速度最为缓慢,结果呈现晶粒异常生长,致使电物理性能恶化。其原因是滞留于晶粒生长区的时间过长有关。但是1#及2#试样也呈现出异常晶粒生长,从图2可以看出,1#试样的异常晶粒生长比2#试样更多更大。作者认为:升温速率变快,例如1#和2#试样,升温速率为1800-1200℃/小时,表明滞留于晶粒生长区的时间很短,仅为2分钟或更短。另外,获得优质PTC BaTiO₃陶瓷,必定要有一定量的液相参与,而微量的液相添加剂(SiO₂、Al₂O₃、TiO₂等)往往难以用传统电子陶瓷工艺来均匀分布。所以,升温过快,各液相成分来不及相互扩散及均匀化,将造成液相分布不均。在液相量较多处,细颗粒易在液相中泳动^[9]、再排列而生长成大晶粒,1#试样的升温速率最快,所以呈现出更为明显的异常晶粒生长。

结 论

从上述实验结果及讨论中可以得出:

- 1、PTC BaTiO₃陶瓷的烧结工艺中,升温速率的过快或过慢,均导致瓷体晶粒的异常生长,从而恶化PTC BaTiO₃陶瓷的电物理特性。
- 2、升温工艺中,适当的升温速率是获得高电阻突变率 α 、高耐电强度及低稳态电流PTC BaTiO₃陶瓷的一个关键。

参考文献

- [1] 祝炳和 王依琳:压电与声光,12(6) 1990:18
- [2] M. Drofenik, A. Popovic, et al: J. Am. Ceram. Soc., 65(12) 1982:C-203
- [3] H. Ueoka: IEEE Trans. Manufact. Tech., 3(2) 1974:77
- [4] M. B. Holmes, V. A. Microhan, et al: Advances in Ceramics, Vol. 7, Ohio, The American Ceramic Society, Inc., 1983:146
- [5] 姚尧 祝炳和:无机材料学报5(1) 1990:37
- [6] H. Mostaghael and R. J. Brook: Trans. J. Br. Ceram. Soc., 82 1983:167
- [7] W. Heywang, H. thomann: Ceramic Abstracts, 72(1-2) 1993:01180A
- [8] 孙荣明 姚尧:新型无机材料 10(2) 1982:34
- [9] Hsiv-Fung Cheng: J. Appl. Phys., 66(3) 1989:1382

(下转第30页)